



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05258599 A**(43) Date of publication of application: **08.10.93**

(51) Int. Cl.

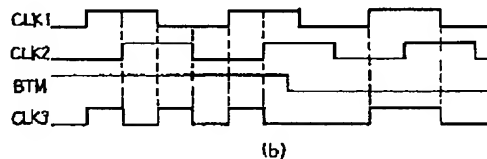
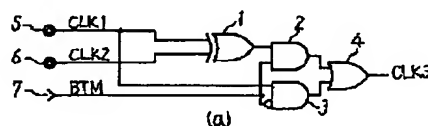
**G11C 29/00****G01R 31/318****G06F 1/04****H01L 21/66****H01L 27/10**(21) Application number: **03295362**(71) Applicant: **NEC CORP**(22) Date of filing: **12.11.91**(72) Inventor: **TAGAYA MITSUE****(54) SEMICONDUCTOR STORAGE DEVICE**

(57) Abstract:

**PURPOSE:** To apply a stress equal to a conventional stress on a unit bit without prolonging a burn-in time through the stress applied on the unit bit is decreased as a memory capacity is increased.

**CONSTITUTION:** When a burn-in mode setting signal BTM is set to high level, by two 2 input logical AND circuits 2 and 3 and a logical OR circuit 4 to input the outputs of the circuits 2 and 3 as two inputs, a frequency is doubled by taking an exclusive-OR between a normal operating memory access clock signal CLK1 and a clock signal CLK2 which is used to a memory access at the time of a burn-in operation in a conventional semiconductor storage device. And a circuit, which outputs the signal as memory access clock signal CLK3 at the time of a burn-in, is provided.

COPYRIGHT: (C)1993,JPO&amp;Japio



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-258599

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 3 B	9288-5L		
G 0 1 R 31/318				
G 0 6 F 1/04	3 0 1 F	7368-5B		
H 0 1 L 21/66		W 8406-4M		
		6912-2G		
			G 0 1 R 31/ 28	B

審査請求 未請求 請求項の数5(全 4 頁) 最終頁に続く

(21)出願番号 特願平3-295362

(22)出願日 平成3年(1991)11月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 多賀谷 充恵

東京都港区芝五丁目7番1号日本電気株式  
会社内

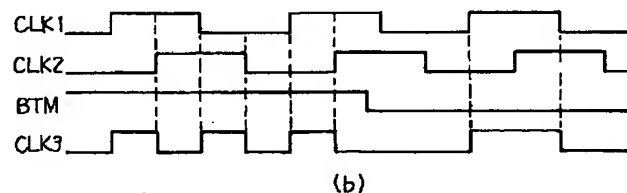
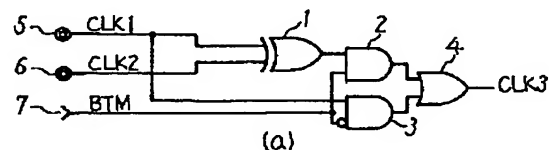
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】メモリの大容量化に伴い単位ビット当りにかかるストレスが軽減されてくるのをパーンイン時間を延ばすことなくしかも従来と同等のストレスが加わるようにする。

【構成】2つの2入力論理積回路2および3とこれらの出力信号を2入力とする論理和回路4とによって、パーンインモード設定信号BTMがハイレベルの時に、通常動作時のメモリアクセスクロック信号CLK1と従来の半導体記憶装置ではパーンイン時のメモリアクセスに用いられていたクロック信号CLK2との排他的論理和をとって周波数を2倍にし、パーンイン時のメモリアクセスクロック信号CLK3として出力する回路を設ける。



1: 排他的論理和回路  
2, 3: 論理積回路  
4: 論理和回路  
5, 6: クロック信号入力端子  
7: テスト信号入力端子

## 【特許請求の範囲】

【請求項 1】 バーンインモードであるか否かを判定し、メモリアクセスクロックの周波数を切り替える回路を有することを特徴とする半導体記憶装置。

【請求項 2】 バーンインモードおよび通常動作モードに対応した電位レベルを有する二値制御信号と、外部から入力される第 1 のクロック信号と、外部から入力される第 2 のクロック信号とを入力とし、前記制御信号の電位レベルに応じて、前記第 1 のクロック信号と前記第 2 のクロック信号との排他的論理和信号および前記第 1 のクロック信号のいずれか一方を選択して出力する回路を有することを特徴とする半導体記憶装置。

【請求項 3】 外部から入力される第 1 のクロック信号と、外部から外部から入力される第 2 のクロック信号とを入力とする排他的論理和回路と、

前記排他的論理和回路の出力信号と、バーンインモードおよび通常動作モードに対応した電位レベルを有する二値制御信号とを入力とする第 1 の論理積回路と、

前記第 1 のクロック信号と、前記制御信号の反転信号とを入力とする第 2 の論理積回路と、

前記第 1 の論理積回路の出力信号と、前記第 2 の論理積回路の出力信号とを入力とする論理和回路とからなる回路を有することを特徴とする半導体記憶装置。

【請求項 4】 バーンインモードおよび通常動作モードに対応した電位レベルを有する二値制御信号と、外部から入力されるクロック信号と、内蔵された発振回路の出力信号とを入力とし、

前記制御信号の電位レベルに応じて前記発振回路の出力信号および前記クロック信号のいずれか一方を選択して出力する回路を有することを特徴とする半導体記憶装置。

【請求項 5】 バーンインモードおよび通常動作モードに対応した電位レベルを有する二値制御信号の反転信号と、外部から入力されるクロック信号とを入力とする第 1 の論理積回路と、

前記二値制御信号と、内蔵された発振回路の出力信号とを入力とする第 2 の論理積回路と、

前記第 1 の論理積回路の出力信号と、前記第 2 の論理積回路の出力信号とを入力とする論理和回路とからなる回路を有することを特徴とする半導体記憶回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関する。

## 【0002】

【従来の技術】 IC の製造工程におけるスクリーニングとして初期不良を取り除く目的や、IC の信頼性試験における寿命試験の目的で、製品に高温・高電圧ストレスを印加するバーンインを実施する。バーンインにはスタ

ティックバーンインとダイナミックバーンインの 2 通りがあるが、本発明の対象となるのは、製品を動作状態にして行うダイナミックバーンインである。

【0003】 ダイナミックバーンイン実行時には、外部より入力されたある一定サイクルのクロックをそのまま利用して 1 ワード分のデータをアクセスする。ところがこの外部より入力されるクロックとしては、メモリの高速化に関わらず常に一定のサイクルで使用しているので、最近の高速化されたメモリの実使用時の 1 ワード分のデータのアクセス動作時間に対し、バーンイン時のアクセス動作時間が 10 倍位になってきている。

【0004】 その上、近年メモリの大容量化されているにも関わらずバーンインの実施時間は変わっていないので、実使用状態に比べバーンインによる単位ビット当りにかかるストレスが軽減されている傾向にある。

## 【0005】

【発明が解決しようとする課題】 上述したような従来の半導体記憶装置におけるバーンインでは、メモリが更に大容量化した場合、バーンイン実施時間を現状と同じままとすると単位ビット当りにかかるストレスが軽減されるので、信頼性試験における寿命試験やスクリーニング効果が望めなくなってしまう。また、仮に単位ビット当りにかかるストレスを現状と同じままにするためには、バーンイン実施時間を延長しなければならないという問題点があった。

## 【0006】

【課題を解決するための手段】 本発明の半導体記憶装置は、バーンインモードであるか否かを判定し、メモリアクセスクロックの周波数を切り替える回路を有することを特徴としている。

## 【0007】

【実施例】 次に、本発明の最適な実施例について図面を参照して説明する。図 1 (a) は本発明の第 1 の実施例の構成を示すブロック図である。

【0008】 図 1 (a) を参照すると、本実施例は、排他的論理和回路 1 と、この排他的論理和回路 1 の出力信号を 1 つの入力とする 2 入力の論理積回路 2 と、もう 1 つの 2 入力論理積回路 3 と、これら 2 つの論理積回路 2 および論理積回路 3 の出力信号を入力とする 2 入力論理和回路 4 とからなっている。

【0009】 そして、排他的論理和回路 1 は、一方の入力端がクロック信号入力端子 5 に接続されもう一方の入力端がクロック信号入力端子 6 に接続されている。クロック信号入力端子 5 には、メモリの通常動作時に用いられるメモリアクセス用外部クロック信号 CLK1 が入力されており、クロック信号入力端子 6 には、チップの外部から他のピンを介してバーンイン用のクロック信号 CLK2 が入力されている。

【0010】 2 入力論理積回路 2 は、一方の入力端が排他的論理和回路 1 の出力端に接続され、もう一方の入力

端がテスト信号入力端子7に接続されている。このテスト信号入力端子7にはチップ上で発生されるバーンインモード設定信号B T Mが入力される。このバーンインモード設定信号B T Mは従来の半導体記憶装置にも用いられているものであって、半導体記憶装置をバーンインする際には電源電圧を通常動作時より高くすることを利用してこの電源電圧の変化を検知することによって、半導体記憶装置が通常動作モードにあるか又はバーンインモードにあるかを示すものである。本実施例では、通常動作時にはバーンインモード設定信号B T Mがロウレベルになり、バーンイン時にはハイレベルになる。

【0011】本実施例は、テスト信号入力端子7に入力されるバーンインモード設定信号B T Mのレベルによってバーンインモードが否かを判定する。そして、バーンインモードでない場合には、クロック入力信号端子5に入力されるクロック信号C L K 1をそのまま出力のクロック信号C L K 3としてメモリをアクセスする。一方、バーンインモードである時には、クロック信号C L K 1とクロック信号C L K 2との排他的論理和を取ることによって通常動作時に比べて周波数を高くしたクロック信号C L K 3を出力してメモリをアクセスする。本実施例の場合は、以下に説明するように、メモリアクセス周波数を2倍にしている。

【0012】以下に、本実施例の回路動作について図1(b)に示すタイミングチャートを用いて説明する。先ず、バーンインモードである時には、バーンインモード設定信号B T Mがバイレベルになる。この結果、論理積回路3は一方の入力端にロウレベルの信号が入力されることになるので、クロック信号C L K 1の如何に関らず必ずロウレベルの信号を出力する。一方、論理積回路2は一方の入力端にハイレベルの信号が入力されることになるので、排他的論理和回路1の出力信号を論理和回路4に伝送する。そして、論理和回路4は、一方の入力端に論理積回路3からのロウレベル信号が入力されるので、論理積回路2の出力信号すなわち、クロック信号C L K 1とクロック信号C L K 2との排他的論理和信号をクロック信号C L K 3として出力する。この時、図1(b)に示すように、クロック信号C L K 1とクロック信号C L K 2を、デューティファクタが1/2で同じであり周波数も同じであるようにして半パルス幅だけずれるように入力すると、クロック信号C L K 2の2倍の周波数のクロック信号C L K 3が得られる。

【0013】一方、通常動作モードでは、バーンインモード設定信号B T Mがロウレベルになる。この結果、論理積回路2は一方の入力端にロウレベルの信号が入力されることになるので、排他的論理和回路1の出力信号の如何に関らず必ずロウレベルの信号を出力する。一方、論理積回路3は一方の入力端にハイレベルの信号が入力されることになるので、クロック信号C L K 1を論理和回路4に伝送する。そして、論理和回路4は一方の

入力端に論理積回路2からのロウレベルが入力されるので、論理和回路3の出力信号すなわちクロック信号C L K 1をクロック信号C L K 3として出力する。

【0014】このように、本実施例によれば、バーンインモード設定信号B T Mの電位レベルに応じてクロック信号の周波数を切り替えて、クロック信号C L K 1およびクロック信号C L K 2よりも高い周波数でバーンインを実行することができる。

【0015】次に本発明の第2の実施例について述べる。図2(a)は、本発明の第2の実施例の構成を示すブロック図である。図2(a)を参照すると、本実施例が第1の実施例と異なるのは論理積回路2の入力信号である。本実施例においては、図1(a)における排他的論理和回路1の出力信号の代りに発振回路8からのクロック信号O S Cが論理積回路2の入力端に入力されているので、第1の実施例におけると同様の回路動作によって、バーンインモード設定信号B T Mの電位レベルに応じて、クロック信号C L K 1およびクロック信号O S Cのいずれか一方がクロック信号C L K 3として出力される。従って、図2(b)に示すように、発振回路8からのクロック信号O S Cの周波数をクロック信号C L K 1の周波数よりも高いものにしておけば、バーンイン時のクロック周波数を高くしてテストを効率的に実施することができる。ここで、半導体記憶装置には通常チップ上に、メモリアクセス用の外部クロック信号C L K 1よりも周波数の高いクロック信号を発生する発振回路が内蔵されているので、この発振回路を利用すれば本発明の実施のために特別に発振回路を設ける必要はなく、外部から入力しなければならないクロック信号を減らすことができる。

#### 【0016】

【発明の効果】以上説明したように、本発明の半導体記憶装置は、バーンインモード時にメモリアクセスクロックの周波数を高い周波数に切り替えることによって外部クロック1サイクル中に複数ワード分のデータをアクセスすることを可能にする回路を備えている。

【0017】このことにより本発明によれば、メモリが大容量化した場合でも、現状と同じバーンイン実施時間で単位ビット当りに従来と同じストレスをかけることができる。

#### 【図面の簡単な説明】

【図1】分図(a)は、本発明の第1の実施例の構成を示すブロック図である。分図(b)は、分図(a)に示す実施例の動作を説明するためのタイミングチャートを示す図である。

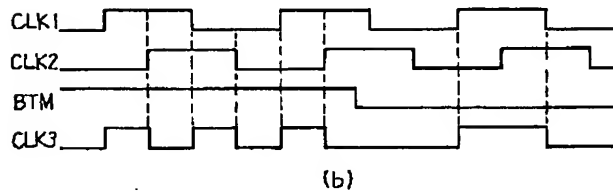
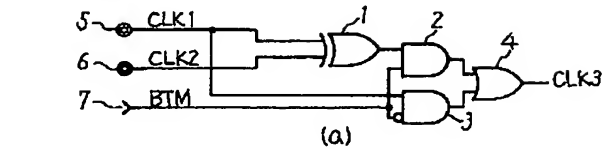
【図2】分図(a)は、本発明の第2の実施例の構成を示すブロック図である。分図(b)は、分図(a)に示す実施例の動作を説明するためのタイミングチャートを示す図である。

#### 【符号の説明】

- 5  
1 排他的論理和回路  
2, 3 論理積回路  
4 論理和回路

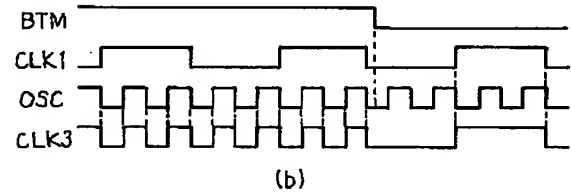
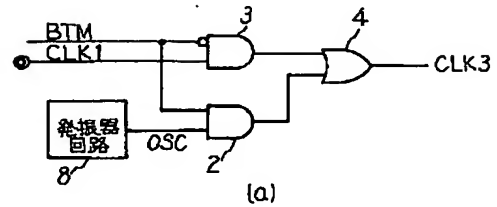
- 6  
5, 6 クロック信号入力端子  
7 テスト信号入力端子  
8 発振回路

【図 1】



- 1 : 排他的論理和回路  
2, 3 : 論理積回路  
4 : 論理和回路  
5, 6 : クロック信号入力端子  
7 : テスト信号入力端子

【図 2】



フロントページの続き

(51) Int. Cl. <sup>5</sup>

H 0 1 L 27/10

識別記号

4 8 1

庁内整理番号

8728-4M

F I

技術表示箇所